

:: Patents Index (CTPI) in English

Boolean Search | Patent Number Search | Field search

509798 -- Patent Information

Published Serial No.	509798								
Title	Apparatus and method for self testing programmable logic arrays								
Patent type	B								
Date of Grant	2002/11/11								
Application Number	090107966								
Filing Date	2001/4/3								
IPC	G01R31/28								
Inventor	CAMORATA, RAFAEL C.(US)								
Priority	<table><tr><td>Country</td><td>Application Number</td><td>Priority Date</td></tr><tr><td></td><td>US20000569741</td><td>2000/05/11</td></tr></table>			Country	Application Number	Priority Date		US20000569741	2000/05/11
Country	Application Number	Priority Date							
	US20000569741	2000/05/11							
Applicant	<table><tr><td>Name</td><td>Country</td><td>Individual/Company</td></tr><tr><td>ADAPTIVE SILICON INC.</td><td>US</td><td>Company</td></tr></table>			Name	Country	Individual/Company	ADAPTIVE SILICON INC.	US	Company
Name	Country	Individual/Company							
ADAPTIVE SILICON INC.	US	Company							
Abstract	<p>A self-testing programmable logic array PLA system has an array of programmably interconnected logic cells, a built-in self-test (BIST) structure interconnected with the logic cells, and a BIST engine having an initiation input. The system is characterized in that, upon receiving the initiation input, the BIST engine drives the BIST structure to test connections and functions of the PLA. BIST systems are taught for stand-alone programmable logic arrays (PLAs) and for PLAs embedded in system-on-a-chip (SoC) devices.</p>								

中華民國專利公報 [19] [12]

[11]公告編號：509798

[44]中華民國 91年(2002) 11月11日

發明

全 6 頁

[51] Int.Cl.⁰⁷ : G01R31/28

[54]名稱：用以自我測試可規劃邏輯陣列之裝置與方法

[21]申請案號：090107968

[22]申請日期：中華民國 90年(2001) 04月03日

[30]優先權：[31]09/569,741

[32]2000/05/11

[33]美國

[72]發明人：

拉法爾 C. 卡馬洛塔

美國

[71]申請人：

邁應矽公司

美國

[74]代理人：譚軼群 先生

陳文郎 先生

1

[57]申請專利範圍：

- 1.一種自我測試可規劃邏輯陣列(PLA)系統，包含：
一陣列之可規劃地相互連接的邏輯胞元；
一內建自我測試(BIST)與該等邏輯胞元相互連接；以及
一BIST引擎具有一起始輸入；
特徵在於該BIST引擎在接收該起始輸入之際驅動該BIST結構以測試PLA之連接與功能。
- 2.如申請專利範圍第1項所述之自我測試可規劃邏輯陣列(PLA)系統，其中該BIST引擎進一步包含一測試結果輸出，其選擇性地驅動以指示測試通過或失敗。
- 3.如申請專利範圍第1項所述之自我測試可規劃邏輯陣列(PLA)系統，其中該BIST引擎完成記憶體測試、相互連接測試與功能性邏輯節點測試。
- 4.如申請專利範圍第1項所述之自我測

2

- 試可規劃邏輯陣列(PLA)系統，其中類似的胞元以相同的模型被規劃，且由以相同模型被規劃之類似胞元來的輸出向量被比較，其中類似邏輯胞元之輸出失敗與對相配之相互連接指示一個以上之胞元的故障。
- 5.如申請專利範圍第4項所述之自我測試可規劃邏輯陣列(PLA)系統，其中該BIST結構包含一組定位址功能用於以相同的模型同步地邏輯複式類似的邏輯胞元，及一組比較功能，其中類似胞元與相互連接之輸出同時被比較。
- 6.如申請專利範圍第1項所述之自我測試可規劃邏輯陣列(PLA)系統，其中該BIST引擎包含一微處理器用於驅動測試。
- 7.如申請專利範圍第1項所述之自我測試可規劃邏輯陣列(PLA)系統，其中該BIST引擎為被該起始輸入觸發之
- 10.
- 15.
- 20.

- 一狀態機器。
- 8.如申請專利範圍第1項所述之自我測試可規劃邏輯陣列(PLA)系統，其中該BIST引擎為如PLA之相同IC結構的一部分。
 - 9.如申請專利範圍第1項所述之自我測試可規劃邏輯陣列(PLA)系統，其中該BIST引擎與該PLA分離地被實作。
 - 10.一種系統上晶片(SoC)，包含：
 - 複式的結構區；以及
 - 一自我測試可規劃邏輯陣列，具有一陣列可規劃地相互連接之邏輯胞元、一內建自我測試(BIST)結構與該等邏輯胞元被相互連接、以及一BIST引擎具有一起始輸入；
 特徵在於該BIST引擎在接收該起始輸入之際驅動該BIST結構以測試PLA之連接與功能。
 - 11.如申請專利範圍第10項所述之系統上晶片(SoC)，其中該BIST引擎進一步包含一測試結果輸出，其選擇性地驅動以指示測試通過或失敗。
 - 12.如申請專利範圍第10項所述之系統上晶片(SoC)，其中該BIST引擎完成記憶體測試、相互連接測試與功能性邏輯節點測試。
 - 13.如申請專利範圍第10項所述之系統上晶片(SoC)，其中類似的胞元以相同的模型被規劃，且由以相同模型被規劃之類似胞元來的輸出向量被比較，其中類似邏輯胞元之輸出失敗與對相配之相互連接指示一個以上之胞元的故障。
 - 14.如申請專利範圍第13項所述之系統上晶片(SoC)，其中該BIST結構包含一組定位址功能用於以相同的模型同步地邏輯複式類似的邏輯胞元，及一組比較功能，其中類似胞元與相互連接之輸出同時被比較。

- 15.如申請專利範圍第10項所述之系統上晶片(SoC)，其中該BIST引擎包含一微處理器用於驅動測試。
- 16.如申請專利範圍第10項所述之系統上晶片(SoC)，其中該BIST引擎為被該起始輸入觸發之一狀態機器。
- 17.如申請專利範圍第10項所述之系統上晶片(SoC)，其中該BIST引擎為如PLA之相同IC結構的一部分。
- 18.如申請專利範圍第10項所述之系統上晶片(SoC)，其中該BIST引擎與該PLA分離地被實作。
- 19.一種用於測試具有一陣列相互連接之邏輯胞元的方法，包含的步驟為：
 - (a)組合內建自我測試一BIST結構用可規劃的相互連接與功能與該邏輯胞元相互連接；
 - (b)實作一BIST引擎具有一起始輸入被耦合至同一積體電路上之BIST結構成為該PLA；以及
 - (c)在啟動該起始輸入之際用該BIST引擎透過該BIST結構驅動測試。
- 20.如申請專利範圍第19項所述之方法，其中該BIST引擎進一步包含一測試結果輸出，並包含一步驟(d)用於驅動該輸出以指示通過或失敗。
- 21.如申請專利範圍第19項所述之方法，在步驟(c)中，該BIST引擎完成記憶體測試、相互連接測試與功能性邏輯節點測試。
- 22.如申請專利範圍第19項所述之方法，在步驟(c)中，類似的胞元以相同的模型被規劃，且由以相同模型被規劃之類似胞元來的輸出向量被比較，其中類似邏輯胞元之輸出失敗與對相配之相互連接指示一個以上之胞元的故障。
- 23.如申請專利範圍第22項所述之方法，在步驟(c)中，該BIST結構包含

(3)

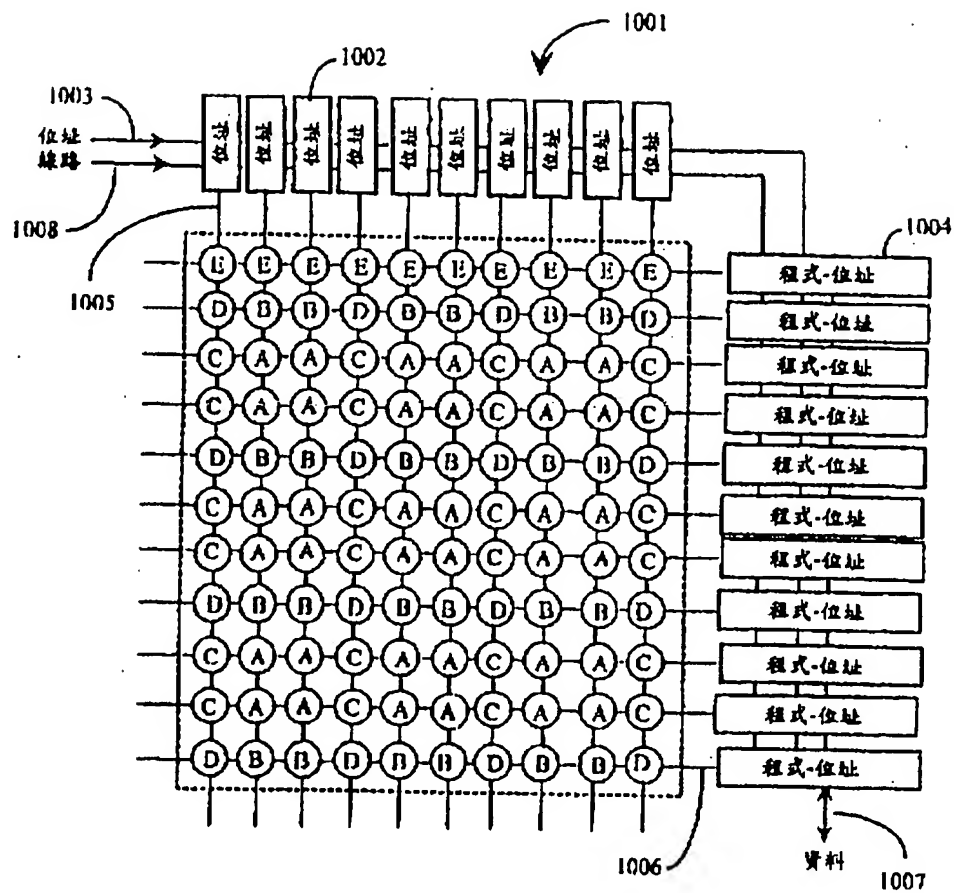
5

- 一組定位址功能用於以相同的模型同步地邏輯複式類似的邏輯胞元，及一組比較功能，其中類似胞元與相互連接之輸出同時被比較。
- 24.如申請專利範圍第 19 項所述之方法，其中該 BIST 引擎包含一微處理器用於驅動測試。
- 25.如申請專利範圍第 19 項所述之方法，其中該 BIST 引擎為被該起始輸入解發之一狀態機器。
- 26.一種用於測試具有一陣列相互連接之邏輯胞元以可規劃之相互連接與功能被實施成為一晶片上系統(SoC)積體電路(IC)的邏輯陣列(PLA)之方法，包含的步驟為：
- (a)組合內建自我測試一 BIST 結構用可規劃的相互連接與功能與該邏輯胞元相互連接；
- (b)實作一 BIST 引擎具有一起始輸入被耦合至同一積體電路上之 BIST 結構成為該 SoC；以及
- (c)在啟動該起始輸入之際用該 BIST 引擎透過該 BIST 結構驅動測試。
- 27.如申請專利範圍第 26 項所述之方法，其中該 BIST 引擎進一步包含一測試結果輸出，並包含一步驟(d)用於驅動該輸出以指示通過或失敗。
- 28.如申請專利範圍第 26 項所述之方法，在步驟(c)中，該 BIST 引擎完成

6

記憶體測試、相互連接測試與功能性邏輯節點測試。

- 29.如申請專利範圍第 26 項所述之方法，在步驟(c)中，類似的胞元以相同的模型被規劃，且由以相同模型被規劃之類似胞元來的輸出向量被比較，其中類似邏輯胞元之輸出失敗與對相配之相互連接指示一個以上之胞元的故障。
10. 30.如申請專利範圍第 29 項所述之方法，在步驟(c)中，該 BIST 結構包含一組定位址功能用於以相同的模型同步地邏輯複式類似的邏輯胞元，及一組比較功能，其中類似胞元與相互連接之輸出同時被比較。
15. 31.如申請專利範圍第 26 項所述之方法，其中該 BIST 引擎包含一微處理器用於驅動測試。
20. 32.如申請專利範圍第 26 項所述之方法，其中該 BIST 引擎為被該起始輸入觸發之一狀態機器。
- 圖式簡單說明：
- 第 1a 圖為依據習知技藝之可規劃邏輯陣列(PLA)的方塊圖。
25. 第 1b 圖為依據本發明之實施例具有內建自我測試(BIST)系統之 PLA 的方塊圖。
- 第 2 圖為依據本發明之替選實施例的 BIST 系統之示意方塊圖。



第 1a 圖

正本

經濟部智慧財產局專利核准審定書

受文者：適應矽公司（代理人：惲軼群 先生、

陳文郎 先生）

地址：台北市南京東路三段二四八號七樓

發文日期：中華民國九十一年十月七日
發文字號：（九一）智專二（二）04088字

第〇九一八一〇二九七三一號

一、申請案號數：〇九〇一〇七九六六

二、發明名稱：用以自我測試可規劃邏輯陣列之裝置與方法
IPC(7)：G01R 31/28

三、申請人：

名稱：適應矽公司

地址：美國

四、專利代理人：

姓名：惲軼群 先生

地址：台北市南京東路三段二四八號七樓

姓名：陳文郎 先生

地址：台北市南京東路三段二四八號七樓

五、申請日期：九十年四月三日

六、優先權項目：

1 2000/05/11 美國09/569,741

七、審查人員姓名：李榮乾 委員

八、審定內容：

主文：本案應予專利。

說明：

(一) 本案將於本審定書發文日起二十五至三十五日內刊登於專利公報，俟公告三個月期滿，無人提起異議或異議不成立，始審查確定。如欲暫緩公告，應於本審定書送達後五日內提出書面申請。

(二) 本案專利範圍，以本局核准之申請專利範圍為準。

(三) 公告期內，得於物品或包裝上標記「暫准專利」字樣或公告號數。

(四) 申請人應於審查確定後三十日內，依法繳納證書費及年費，以憑核發專利證書。

(五) 若有樣品存局，請於本審定書送達後三十日內來局取回，逾期未領回者，本局逕予銷燬。欲領回樣品者，請於三日前與本局檔案科聯絡，聯絡電話為(〇二)二七三八〇〇〇七轉一二二七。

(六) 專利之實施依其他法令規定須取得許可證者，應依規定向有關主管機關申請之。

局長
蔡練生



裝

訂

線

依照分層負責規定授權單位主管執行

